

공개특허특1999-005857

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/3205(11) 공개번호 특1999-005857
(43) 공개일자 1999년01월25일(21) 출원번호 특1997-030075
(22) 출원일자 1997년06월30일(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 이성권
서울특별시 구로구 구로2동 730-83호 24/3
오준호
서울특별시 강북구 미아8동 720-5
(74) 대리인 최승민
신영무

심사청구 : 있음

(54) 반도체 소자의 금속배선 형성방법

요약

1. 청구범위에 기재된 발명이 속한 기술분야

반도체 소자의 제조 방법에 관한 것으로, 특히 반도체 소자의 금속 배선 형성 방법에 관한 것임.

2. 발명이 해결하고자 하는 기술적 과제

낮은 용점과 높은 비저항을 갖는 알루미늄 합금의 대체 재료로 사용되는 구리를 이용한 패턴 형성시 전면을 인캡슐레이션하지 않으면 후속 열처리 공정시 쉽게 산화되는 문제가 있으며, 이러한 문제를 방지하기 위하여 듀얼 대머스컨스(dual damascence) 방법 등을 적용하고자 하는 연구가 있어 왔으나 이 방법은 미리 하층 구조를 형성시켜야 하는 문제가 있음.

3. 발명의 해결 방법의 요지

실리콘 원자가 함유된 구리 박막을 형성한 후 인-시투로 구리 박막을 플라즈마 식각하고 암모니아 플라즈마 처리 또는 질소를 이용한 급속 열처리 공정을 연속적으로 실시함.

대표도

도1c

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도면의 주요 부분에 대한 부호 설명

- 1 : 실리콘 기판 2 : 제 1 절연막
 3 : 제 1 장벽층 4 : 구리 박막
 5 : 제 2 장벽층 6 : 제 2 절연막
 7 : 제 1 폴리머(Si less film) 8 : 제 2 폴리머(Si rich film)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 반도체 소자의 금속 배선 형성 방법에 관한 것이다.

현재까지 반도체 재료로 사용되고 있는 알루미늄(Al) 합금은 낮은 용점과 높은 비저항으로 인하여 ULSI급 반도체 소자에서는 더 이상 적용이 어렵게 됨에 따라 대체 재료의 필요성이 대두되었고 그러한 재료중의 하나가 구리이다. 구리를 이용한 박막으로 패턴을 형성할 때 전면을 인캡슐레이션(encapsulation)하지 않으면 후속 열처리 공정 시 쉽게 산화되는 문제가 있다. 이러한 문제를 방지하기 위하여 듀얼 대머스컨스(dual damascence) 방법 등을 적용하고자 하는 연구가 있어 왔으나 이 방법은 미리 하층 구조를 형성시켜야 하는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 단순한 공정으로 구리 박막이 쉽게 산화되는 것을 방지함으로써 상술한 문제점을 해결할 수 있는 반도체 소자의 금속 배선 형성 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 실리콘 기판 상부에 제 1 절연막, 제 1 장벽층, 실리콘 원자가 함유된 구리 박막 및 제 2 장벽층을 순차적으로 형성하는 단계와, 상기 제 2 장벽층 상부에 제 2 절연막을 형성하고 패턴닝하는 단계와, 상기 패턴닝된 제 2 절연막을 마스크로하여 제 2 장벽층, 실리콘 원자가 함유된 구리 박막 및 제 1 장벽층을 플라즈마를 이용하여 순차적으로 식각하는 단계와,

실리콘이 함유된 기체를 이용한 과도 식각으로 상기 실리콘 원자가 함유된 구리 박막의 측벽에 실리콘이 적게 함유된 제 1 폴리머를 형성하는 단계와, 암모니아 플라즈마 처리를 실시하여 상기 실리콘 원자가 함유된 구리 박막의 전면에 실리콘이 다량 함유된 제 2 폴리머를 형성하는 단계로 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

도 1(a)에 도시된 바와 같이 실리콘 기판(1) 상부에 제 1 절연막(2), 제 1 장벽층(3), 구리 박막(4) 및 제 2 장벽층(5)을 순차적으로 형성한다. 제 1 절연막(2)은 SiO₂

막, BPSG막 및 TEOS막 등으로 형성된다. 구리 박막(4)은 0.5%~5%의 실리콘 원자가 첨가된 구리를 화학 기상 증착(Chemical Vapor Deposition; CVD) 또는 물리 기상 증착(Physical Vapor Deposition; PVD) 방법으로 증착하여 형성한다. 제 1 및 제 2 장벽층(3, 5)은 티타늄나이트라이드(TiN) 또는 PESIN을 증착하여 형성한다. 제 2 장벽층(5) 상부에 플라즈마 산화막등과 같은 산화물 계통의 제 2 절연막(6)을 형성하고 패턴닝한다.

도 1(b)는 패턴닝된 제 2 절연막(6)을 마스크로하여 제 2 장벽층(5), 구리 박막(4) 및 제 1 장벽층(3)을 플라즈마를 이용하여 식각한다. 플라즈마를 이용한 식각은 BCl₃

3, Cl₂, CCl₄ 등과 같은 염소계 플라즈마를 이용하여 200℃ 이상에서 실시한다. 계속해서 SiCl₄

4와 같은 실리콘이 포함된 기체를 이용한 과도 식각을 실시하여 구리 박막(4)의 내부 측벽에 Si_xN_y(O) 계통의 폴리머(7)를 형성한다. 이때 식각 부산물은 CuCl

x의 형태로 휘발되므로 구리 박막(4)의 내부 측벽에 Si_xN_y 계통(Si_xN_y(O₂); Si less film)의 제 1 폴리머(7)가 형성

된다.

도 1(c)는 암모니아(NH_3) 플라즈마 처리 또는 질소(N_2)를 이용한 금속 열처리 공정을 실시하여 제 1 폴리머(7)가 형성된 구리 박막(4)의 전면에 제 2 폴리머(8)를 형성한 단면도이다. 이때 구리 박막(4)내에 함유된 실리콘 원자가 구리 박막의 표면으로 이동되어 구리 박막의 측벽에서 실리콘과 질소간의 화합물(Si

$\text{N}_y(\text{O}_z)$; Si rich film)을 형성하여 전면을 인캡슐레이션한다. 즉, 열역학적 측면에서 볼 때 Cu-Si간의 결합보다는 Si-N간의 결합이 보다 안정된 상태이므로 NH

₃ 플라즈마 처리 또는 N_2 를 이용한 금속 열처리 공정 등을 통하여 구리 박막 내부에 존재하는 Si 원자를 표면으로 이동시킬 수 있다. 이때 NH

₃ 플라즈마 처리는 750~900℃의 온도와 0.3~0.5 Torr의 압력 및 300~700W의 전력 조건에서 실시한다. 또한, 플라즈마를 이용한 식각, 실리콘 원자가 포함된 기체를 이용한 식각, 그리고 NH

₃ 플라즈마 처리 또는 N_2 를 이용한 금속 열처리 공정은 하나의 챔버내에서 연속적으로 실시한다. 즉, 인-시투(IN-SITU)로 실시한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 단순한 공정으로 구리 금속 배선을 인캡슐레이션할 수 있으므로 금속 배선의 산화를 방지할 수 있다.

(57)청구의 범위

청구항1

실리콘 기판 상부에 제 1 절연막, 제 1 장벽층, 실리콘 원자가 함유된 구리 박막 및 제 2 장벽층을 순차적으로 형성하는 단계와, 상기 제 2 장벽층 상부에 제 2 절연막을 형성하고 패터닝하는 단계와, 상기 패터닝된 제 2 절연막을 마스크로하여 제 2 장벽층, 실리콘 원자가 함유된 구리 박막 및 제 1 장벽층을 플라즈마를 이용하여 순차적으로 식각하는 단계와, 실리콘이 함유된 기체를 이용한 과도 식각으로 상기 실리콘 원자가 함유된 구리 박막의 측벽에 실리콘이 적게 함유된 제 1 폴리머를 형성하는 단계와, 암모니아 플라즈마 처리를 실시하여 상기 실리콘 원자가 함유된 구리 박막의 전면에 실리콘이 다량 함유된 제 2 폴리머를 형성하는 단계로 이루어진 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항2

제 1 항에 있어서, 상기 실리콘 원자가 함유된 구리 박막은 0.5 내지 5%의 실리콘 원자를 함유한 구리를 화학 기상 증착 또는 물리 기상 증착 방법으로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항3

제 1 항에 있어서, 상기 플라즈마를 이용한 식각은 BCl_3 , Cl_2 , CCl_4 중 어느 하나의 염소계 플라즈마를 이용하여 200℃ 이상에서 실시하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항4

제 1 항에 있어서, 암모니아 플라즈마 처리는 750 내지 900℃의 온도와 0.3 내지 0.5 Torr의 압력 및 300 내지 700W의 전력 조건에서 실시하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항5

제 1 항에 있어서, 상기 보호막은 암모니아 플라즈마 처리 대신에 질소를 이용한 금속 열처리 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성방법.

청구항6

제 1 항에 있어서, 상기 플라즈마를 이용한 식각, 실리콘이 함유된 기체를 이용한 과도 식각 및 암모니아 플라즈마 처리는 인-시투로 실시하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항7

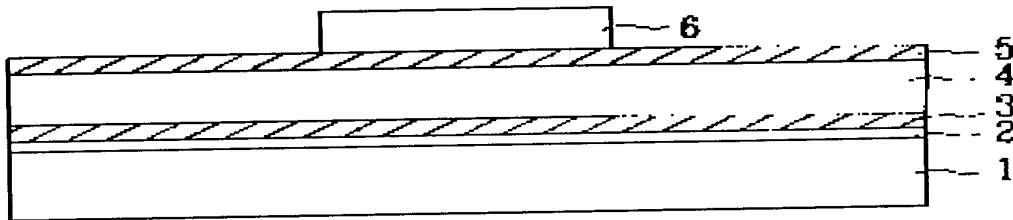
하지막상에 실리콘이 함유된 구리 박막을 형성하는 단계와, 열처리 공정시 상기 구리 박막이 산화되는 것을 방지하기 위해 암모니아 플라즈마 처리를 실시하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항8

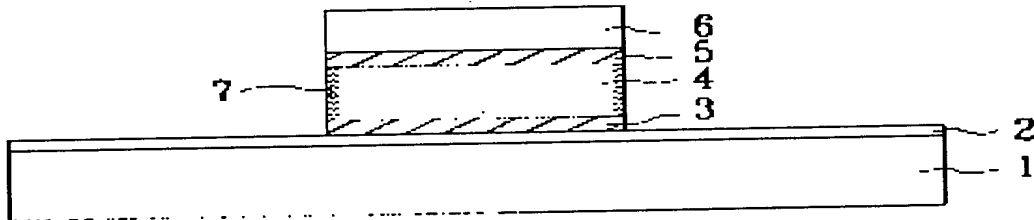
하지막상에 실리콘이 함유된 구리 박막을 형성하는 단계와, 열처리 공정시 상기 구리 박막이 산화되는 것을 방지하기 위해 상기 구리 박막을 패터닝하고 인-시투로 질소 가스를 이용한 급속 열처리 공정을 실시하는 것을 특징으로 하는 반도체 소자의 금속 배선 형성 방법.

도면

도면1a



도면1b



도면1c

